

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07066172 A

(43) Date of publication of application: 10.03.95

(51) Int. Cl

H01L 21/3065

(21) Application number: 05214086

(71) Applicant: SANYO ELECTRIC CO LTD

(22) Date of filing: 30.08.93

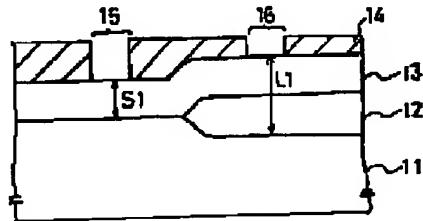
(72) Inventor: MITSUSAKA EIICHI

(54) ETCHING AMOUNT CONTROL METHOD

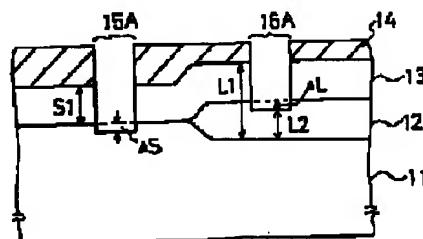
COPYRIGHT: (C)1995,JPO

(57) Abstract:

PURPOSE: To determine the overetching amount of a silicon substrate at the time of boring a contact hole by measuring the thickness of an insulation film exposing through a first opening onto a scribe line of the silicon substrate and then measuring the sum of a selective oxide film exposing through a second opening and the insulation film.



CONSTITUTION: An LOCOS film 2 is formed selectively by thermal oxidation and the film thickness L2 is measured in order to determine an etching amount $\Delta L = L1 - S1 - L2$. In other words, a second opening 16 is made in the region where the LOCOS film 12 is formed selectively thus exposing the LOCOS film 12. A first opening 15 is made in the region where the LOCOS film 12 is not formed thus exposing a BPSG film 13. The thickness S1 of the BPSG film 13 is then measured from the first opening 15 by means of an optical interference film thickness meter. similarly, the sum L1 of the LOCOS film 12 and the BPSG film 13 is measured from the second opening 16 by means of the film thickness meter.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-66172

(43)公開日 平成7年(1995)3月10日

(51)Int.Cl.⁶
H 0 1 L 21/3065

識別記号

序内整理番号

F I

技術表示箇所

H 0 1 L 21/ 302

E

審査請求 未請求 請求項の数1 OL (全4頁)

(21)出願番号 特願平5-214086

(22)出願日 平成5年(1993)8月30日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 三坂 栄一

大阪府守口市京阪本通2 丁目18番地三洋
電機株式会社内

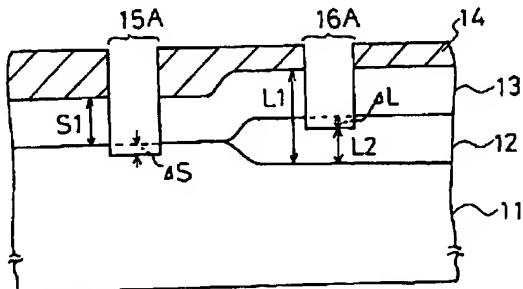
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 エッティング量の管理方法

(57)【要約】

【目的】コンタクトホールを形成する際に生じるエッティング量の管理方法の改善を目的とする。

【構成】シリコン基板(11)のスクライブライン上に順次選択酸化膜(12), 絶縁膜(13)及び感光性膜(14)を形成し、感光性膜(14)に第1, 第2の開孔(15, 16)を形成し、絶縁膜(13)の膜厚(S1)、選択酸化膜(12)と絶縁膜(13)との膜厚の和(L1)を測定し、実際のコンタクトホールに対応する第1のモニター(15A)と、第2のモニター(16A)とを形成し、該第2のモニター(16A)底部の選択酸化膜(12)の膜厚(L2)を測定し、第2のモニター(16A)における選択酸化膜(12)のエッティング量(ΔL)を $\Delta L = L1 - S1 - L2$ なる式により求め、選択酸化膜(12)のエッティング量(ΔL)から、第1のモニター(15A)底部のシリコン基板(11)のエッティング量を求ること。



15A: 第1のモニター 16A: 第2のモニター
L2: エッティング後のLOCOSの膜厚
 ΔL : LOCOSのオーバーエッティング量
 ΔS : シリコン基板のオーバーエッティング量

1

【特許請求の範囲】

【請求項1】シリコン基板(11)のスクライブライン上に選択酸化膜(12)を選択形成し、その上に絶縁膜(13)を形成し、その上に感光性膜(14)を形成し、第1の開孔(15)を前記選択酸化膜(12)の形成領域以外の感光性膜(14)に設け、第2の開孔(16)を前記選択酸化膜(12)の形成領域上の感光性膜(14)に形成する工程と、

前記第1の開孔(15)から露出する前記絶縁膜(13)の膜厚(S1)を測定し、前記第2の開孔(16)から露出する前記選択酸化膜(12)と前記絶縁膜(13)との膜厚の和(L1)を測定する工程と、前記感光性膜(14)をマスクにして前記絶縁膜(13)をエッチングして、実際のコンタクトホールに対応する第1のモニター(15A)と、第2のモニター(16A)とを形成する工程と、

該第2のモニター(16A)底部の前記選択酸化膜(12)の膜厚(L2)を測定し、前記第2のモニター(16A)における前記選択酸化膜(12)のエッチング量(ΔL)を

$$\Delta L = L1 - S1 - L2$$

なる式により求める工程と、

前記選択酸化膜(12)のエッチングレートとシリコン基板(11)のエッチングレートとの比を用いて、前記選択酸化膜(12)のエッチング量(ΔL)から、前記第1のモニター(15A)底部のシリコン基板(11)のエッチング量を求める工程を有することを特徴とするエッチング量の管理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はエッチング量の管理方法に関し、更に詳しく言えば、コンタクトホールなどを形成する際に生じるエッチング量の管理方法の改善を目的とする。

【0002】

【従来の技術】以下で、従来例に係るエッチング量の管理方法について図3、図4を参照しながら説明する。従来、半導体装置においてコンタクトホールを形成するときには、図3に示すように、Si基板(1)上にBPSG

〔Boro-Phospho Silicate Glass〕膜(2)を形成し、その上にレジスト膜を形成したのちにそれを所定のパターンに露光・現像して開口(4)が設けられたレジストパターン(3)を形成し、該レジストパターン(3)をマスクにしてドライエッチングして、コンタクトホール(5A)を形成していた(図4)。

【0003】実際は、ドライエッチングの際にはアンダーエッチングを防止するために過度にエッチングしがちであり、かつイオン衝突によるダメージ層が表面に形成されたりするので、図4に示すようにオーバーエッチングが生じ、Si基板(1)が若干削られてしまう。このド

10

2

ライエッティング工程でのエッチング量の管理としては、Si基板上に形成された残膜モニターを用いて、エッチング後に膜厚測定器でBPSG〔Boro-Phospho Silicate Glass〕膜が残っているかどうかを測定していた。

【0004】

【発明が解決しようとする課題】しかしながら、微細化が進み、サブミクロンレベルになると、コンタクトホール形成の際のエッチング工程におけるオーバーエッチングによるコンタクトホールの深さ寸法のバラツキや、イオン衝突によって生じるシリコンへのダメージが無視できない程になるので、オーバーエッチング量を管理する必要が生じていた。

【0005】ところが、膜厚測定器の精度が低いので非常に微量であるオーバーエッチング量の値を直接測定することはできず、今までこのオーバーエッチング量の管理は不可能であった。このため半導体装置の安定した特性が得られないでの、歩留りの低下の原因となっていた。

【0006】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、図1に示すように、シリコン基板(11)のスクライブライン上に選択酸化膜(12)を選択形成し、その上に絶縁膜(13)を形成し、その上に感光性膜(14)を形成し、第1の開孔(15)を前記選択酸化膜(12)の形成領域以外の感光性膜(14)に設け、第2の開孔(16)を前記選択酸化膜(12)の形成領域上の感光性膜(14)に形成する工程と、前記第1の開孔(15)から露出する前記絶縁膜(13)の膜厚(S1)を測定し、前記第2の開孔(16)から露出する前記選択酸化膜(12)と前記絶縁膜(13)との膜厚の和(L1)を測定する工程と、

20

図2に示すように前記感光性膜(14)をマスクにして前記絶縁膜(13)をエッチングして、実際のコンタクトホールに対応する第1のモニター(15A)と、第2のモニター(16A)とを形成する工程と、該第2のモニター(16A)底部の前記選択酸化膜(12)の膜厚(L2)を測定し、前記第2のモニター(16A)における前記選択酸化膜(12)のエッチング量(ΔL)を

$$\Delta L = L1 - S1 - L2$$

30

なる式により求める工程と、前記選択酸化膜(12)のエッチングレートとシリコン基板(11)のエッチングレートとの比を用いて、前記選択酸化膜(12)のエッチング量(ΔL)から、前記第1のモニター(15A)底部のシリコン基板(11)のエッチング量を求める工程を有することにより、コンタクトホール形成の際に生じるシリコン基板のオーバーエッチング量を求めることができるエッチング量の管理方法を提供するものである。

【0007】

【作 用】本発明に係るエッチング量の管理方法によれ

50

ば、図1に示すように、シリコン基板(11)のスライブライン上に第1の開孔(15)から露出する絶縁膜(13)の膜厚(S1)を測定し、第2の開孔(16)から露出する選択酸化膜(12)と絶縁膜(13)との膜厚の和(L1)を測定し、図2に示すように、第1のモニター(15A)と、第2のモニター(16A)とを形成し、該第2のモニター(16A)底部の選択酸化膜(12)の膜厚(L2)を測定している。

【0008】このため、第2のモニター(16A)における選択酸化膜(12)のエッティング量(ΔL)が、 $\Delta L = L1 - S1 - L2$ なる式により容易に求められるので、選択酸化膜(12)とシリコン基板(11)とのエッティングレートの比から換算して、選択酸化膜(12)のエッティング量(ΔL)に基づいて今まで直接測定することができなかったシリコン基板(11)のオーバーエッティング量を求めることが可能になる。

【0009】よって、シリコン基板(11)のオーバーエッティング量を管理することができる所以、半導体装置の特性の安定化、歩留りの向上が可能になる。

【0010】

【実施例】以下に本発明の実施例に係るエッティング量の管理方法を図面を参照しながら説明する。図1、図2は、本発明の実施例に係るエッティング量の管理方法を示す断面図である。本発明の実施例に係るエッティング量の管理方法によれば、まず、Si基板(11)上に設けられているスライブラインの一部領域に、LSI形成の際にLOCOS膜を形成する工程において熱酸化によってLOCOS[Local Oxidation of Silicon]膜(12)を選択形成し、その後、層間絶縁膜としてのBPSG膜をLSI形成の際に形成する工程でBPSG膜(13)を形成し、レジスト膜(14)を形成し、露光・現像して露光領域を除去し、LOCOS膜(12)が選択形成された領域上に第2の開孔(16)を形成してLOCOS膜(12)を露出し、その近傍であって、LOCOS膜(12)が選択形成されていない領域上に第1の開孔(15)を形成してBPSG膜(13)を露出する(図1)。

【0011】次に、光干渉型の膜厚測定器を用いて第1の開孔(15)から、BPSG膜(13)の膜厚を測定し、同様にして第2の開孔(16)から、LOCOS膜(12)とBPSG膜(13)との膜厚の和(L1)を膜厚測定器で測定する。次いで、LSI形成の際にBPSG膜にコンタクトホールを形成する工程で、同時に、第1、第2の開孔(15, 16)が設けられたレジスト膜(14)をマスクにしてエッティングして、第1のモニター(15A)及び第2のモニター(15B)を形成する(図2)。

【0012】次に、光干渉型の膜厚測定器を用いて第2のモニター(15B)から、エッティング後のLOCOS膜の膜厚(L2)を測定する。このとき、コンタクトホ

10

20

30

40

50

4

ール形成の際のエッティングで、第1のモニター(15A)底部のシリコン基板(11)や、第2のモニター(15B)底部のLOCOS膜(12)はオーバーエッティングされる。

【0013】なお、BPSG膜(13)は各場所でほぼ均一の膜厚に形成されており、特に第1のモニター(15A)付近や第2のモニター(15B)付近ではほとんど同じであるとみてよい。よって、第2のモニター(15B)底部でのLOCOS膜のオーバーエッティング量(ΔL)は、図2に示すように、

$$\Delta L = L1 - S1 - L2$$

であることがわかる。

【0014】ここで真に求めたいのは第1のモニター(15A)底部のシリコン基板(11)のオーバーエッティング量(ΔS)であるが、シリコン酸化膜のエッティングレートは、シリコンのエッティングレートの10~15倍程度なので、例えばLOCOS膜(12)のオーバーエッティング量(ΔL)が100Åなら、シリコン基板(11)のオーバーエッティング量(ΔS)は10Å程度であるということが、エッティングレートの比から容易に求めることができる。

【0015】よって、LOCOS膜(12)のオーバーエッティング量(ΔL)を求ることで、今まで直接測定することができなかったシリコン基板(11)のオーバーエッティング量(ΔS)を求めることができるので、半導体装置の特性の安定化、歩留りの向上が可能になる。なお、本実施例において、仮にアンダーエッティングが生じたなら、本実施例の方法によって求められるシリコン基板(11)のオーバーエッティング量(ΔS)は負の値となるので、アンダーエッティングも発見できる。そういった意味においても本実施例の管理方法は有効であるといえる。

【0016】また、本実施例において、絶縁膜としてBPSG膜(13)を用いているが、本発明はこれに限らない。

【0017】

【発明の効果】以上説明したように、本発明に係るエッティング量の管理方法によれば、シリコン基板(11)のスライブライン上に第1の開孔(15)から露出する絶縁膜(13)の膜厚(S1)を測定し、第2の開孔(16)から露出する選択酸化膜(12)と絶縁膜(13)との膜厚の和(L1)を測定し、第1のモニター(15A)と、第2のモニター(16A)とを形成し、該第2のモニター(16A)底部の選択酸化膜(12)の膜厚(L2)を測定している。

【0018】このため、第2のモニター(16A)における選択酸化膜(12)のエッティング量(ΔL)が、 $\Delta L = L1 - S1 - L2$ なる式により容易に求められるので、今まで直接測定することができなかったシリコン基板(11)のオーバーエッティング量を求めることが可能

5

る。従ってシリコン基板(11)のオーバーエッチング量の管理が可能になるので、ひいては半導体装置の特性の安定化、歩留りの向上につながる。

【図面の簡単な説明】

【図1】本発明の実施例に係るエッティング量の管理方法を説明する第1の断面図である。

*

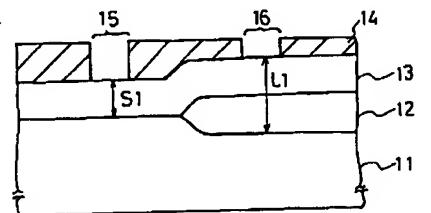
6

* 【図2】本発明の実施例に係るエッティング量の管理方法を説明する第2の断面図である。

【図3】従来例に係るコンタクトホールの形成方法を説明する第1の断面図である。

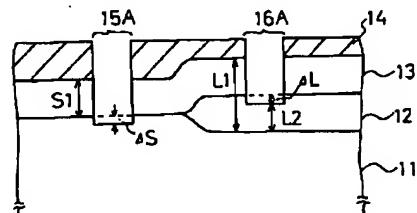
【図4】従来例に係るコンタクトホールの形成方法を説明する第2の断面図である。

【図1】



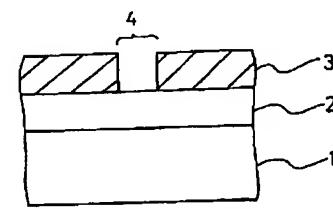
11:シリコン基板
12:LOCOS膜
(選択酸化膜)
13:BPSG膜(絶縁膜)
14:レジスト膜(感光性膜)
15:第1の開孔
16:第2の開孔
S1:BPSG膜の膜厚
L1:BPSG膜の膜厚とLOCOSの膜厚との和

【図2】



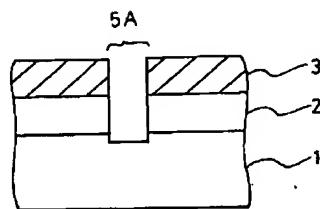
15A:第1のモニター
16A:第2のモニター
L2:エッティング後のLOCOSの膜厚
ΔL:LOCOSのオーバーエッティング量
ΔS:シリコン基板のオーバーエッティング量

【図3】



1:Si基板
2:BPSG膜
3:レジストパターン
4:開口

【図4】



5A:コンタクト